

JP60010775

Publication Title:

HETERO-JUNCTION TYPE BIPOLAR SEMICONDUCTOR DEVICE

Abstract:

PURPOSE: To lower base resistance, and to shorten switching time and improve high-frequency characteristics by adopting superlattice structure in a base region.

CONSTITUTION: An N-InP layer 2 is formed on an N<+>-InP substrate 1 as a collector region, and a superlattice layer 3 consisting of InP and InGaAs is formed on the layer 2 as a base region. The InGaAs is not doped, but InP is doped, and the impurity concentration of Zn as a P type impurity is $1 \times 10^{15} \text{ cm}^{-3}$. An N-InP layer 4 in $5 \times 10^{17} \text{ cm}^{-3}$ is formed on the superlattice layer 3 as an emitter region, and a gold-germanium alloy Au-Ge layer 5 and a gold Au layer 6 are shaped as emitter electrodes and are in ohmic-contact with the N-InP layer 4. Zinc Zn layers 7 and 7' and gold Au layers 8 and 8' on the layers 7 and 7' are formed as base electrodes. A collector electrode is formed by a gold-germanium layer 9 and a gold Au layer 10 under the N<+>-InP substrate layer 1, and is ohmic-contact with the N<+>-InP substrate 1.

Data supplied from the esp@cenet database - <http://ep.espacenet.com>

⑫ 公開特許公報 (A)

昭60—10775

⑤ Int. Cl.⁴
H 01 L 29/72
29/20

識別記号

庁内整理番号
7514—5F
7514—5F

⑬ 公開 昭和60年(1985)1月19日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ ヘテロ接合バイポーラ半導体装置

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭58—119094

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭58(1983)6月30日

川崎市中原区上小田中1015番地

⑲ 発 明 者 横山直樹

⑳ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

ヘテロ接合バイポーラ半導体装置

2. 特許請求の範囲

(1) ベース領域を超格子構造としたことを特徴とするヘテロ接合バイポーラ半導体装置。

(2) 上記超格子構造はエネルギー・ギャップの広い半導体とエネルギー・ギャップの狭い半導体を交互に配置した構造であることを特徴とする特許請求の範囲第1項記載のヘテロ接合バイポーラ半導体装置。

(3) 上記エネルギー・ギャップの広い半導体はP形半導体であり、エネルギー・ギャップの狭い半導体はNドープであることを特徴とする特許請求の範囲第2項記載のヘテロ接合バイポーラ半導体装置。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明はヘテロ接合を有するバイポーラ半導体装置に係り、特にベース領域を超格子構造とした

ヘテロ接合バイポーラ半導体装置に関する。

(2) 技術的背景

最近MBE(分子線エピタキシャル)法等の半導体成長法が発達し、成長層の厚さを非常に正確に制御できるようになった。

このような成長方法の発達により、従来の気相あるいは液相成長法では達成できなかった超格子(super lattice)構造が可能となり、半導体デバイスに応用されはじめている。

ところで一般にバイポーラトランジスタにおいて、高周波特性あるいはスイッチング時間特性を向上させるためにはベース抵抗を小さくすることが極めて重要である。

(3) 発明の目的

本発明は上記背景のうえになされたものであり、その目的とするところはベース領域に超格子構造を採用することによってベース抵抗値の低いヘテロ接合バイポーラ半導体装置を提供することにある。

(4) 発明の構成

上記目的は本発明によれば、ベース領域をエネルギー・ギャップの広い半導体と狭い半導体を交互に配置した超格子構造としたヘテロ接合バイポーラ半導体装置を提供することによって達成される。

(5) 発明の実施例

本発明の実施例を図面を用いて詳細に説明する。

第1図は本発明によるヘテロ接合バイポーラトランジスタの一実施例の断面図である。ただし以下、インジウム・リンはInP、インジウム・ガリウム・ヒ素はInGaAsと記し、半導体の導電形は先頭に「n-」あるいは「p-」を付すことにする。

n^+ -InP基板1の上にコレクタ領域としてn-InP層2を形成し、その上にベース領域としてInPとInGaAsの超格子層3を形成する。このInGaAsはノンドープであるが、InPはドーピングされており、P形不純物(Zn)の不純物濃度は $1 \times 10^{15} \text{ cm}^{-3}$ である。さらにその上にエミッタ領域として $5 \times 10^{17} \text{ cm}^{-3}$ のn-InP層4が形成され、エミッタ電極として金

-ゲルマニウム合金(Au-Ge)層5と金Au層6が形成されてn-InP層4とオーミック接触している。またベース電極として亜鉛Zn層7および7'とその上に金Au層8および8'が形成されている。コレクタ電極は n^+ -InP基板層1の下に金-ゲルマニウム(Au-Ge)層9と金Au層10で形成され、 n^+ -InP基板1とオーミック接触をとっている。

次に、ベース領域に超格子構造を採用することで、なぜベース抵抗が減少するかを第2図を用いて説明する。

第2図は第1図に示された本実施例のエミッタ-ベース界面のエネルギーバンド図である。 $5 \times 10^{17} \text{ cm}^{-3}$ のInPで形成されたエミッタ領域Eはベース領域Bと接合し、ベース領域BはノンドープInGaAs層11とドーピングされたInP層12との超格子で構成されている。InGaAsの方がInPよりエネルギー・ギャップが狭くなっており、エミッタ領域EのInPと接合した場合理論計算によると伝導帯の差 $\Delta E_c = 0.11 \text{ eV}$ 、

- 3 -

価電子帯の差 $\Delta E_v = 0.48 \text{ eV}$ であり、 $\Delta E_c < \Delta E_v$ となる。エミッタからベースへの電子の注入効率は近似的に $\exp(\Delta E_v / kT)$ に比例するから、 $\Delta E_c < \Delta E_v$ であれば超格子構造による注入効率の低下は起こらない。

その上、InP層12はドーピングされてアクセプタ13が形成されているためにホール14が容易にアクセプタ13からInGaAs層11へ落ち込んで行く。しかもInGaAs層11はノンドープであるからホール14が移動する時に散乱を受けないためホールの移動度は通常の数倍に上昇する。このように超格子構造によってベース抵抗を減少させることができることになる。

上記においてはnpn構造を例示したが材料を選択すれば同様にしてpnp形でも実施できる。

(6) 発明の効果

以上詳細に説明したように本発明のヘテロ接合バイポーラ半導体装置はベース領域に超格子構造を採用することでベース抵抗を減少させ、スイッチング時間の短縮および高周波特性の向上をもた

- 4 -

らすという効果大なるものである。

4. 図面の簡単な説明

第1図は本発明によるヘテロ接合バイポーラ半導体装置の一実施例の断面図、第2図は超格子構造の動作を説明するためのエネルギー・バンド図である。

3・・・超格子層, 11・・・InGaAs層,
12・・・InP層, 13・・・アクセプタ,
14・・・ホール

特許出願人 富士通株式会社

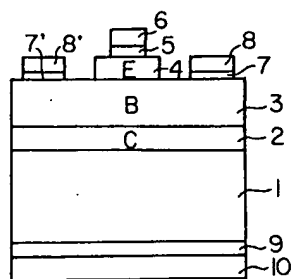
代理人弁理士 松岡 宏四郎



- 5 -

- 6 -

第 1 図



第 2 図

